



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0080046
Application Number

출원 년 월 일 : 2003년 11월 13일
Date of Application NOV 13, 2003

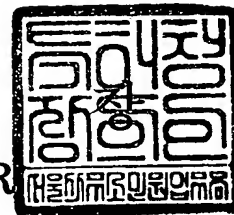
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 11 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0016
【제출일자】 2003.11.13
【발명의 명칭】 반도체 장치의 리페어 퓨즈 박스
【발명의 영문명칭】 Repair fuse box in a semiconductor device
【출원인】
【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1
【발명자】
【성명의 국문표기】 윤석철
【성명의 영문표기】 Y00N, Seok Cheol
【주민등록번호】 711107-1392425
【우편번호】 369-900
【주소】 충청북도 음성군 금왕읍 무극1리 77-2
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】
【기본출원료】 12 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 4 항 237,000 원
【합계】 266,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

행 방향으로 배치된 다수의 퓨즈로 이루어지며 종방향으로 배치된 다수의 퓨즈 박스와; 상기 다수의 퓨즈 박스 중 적어도 하나 이상의 퓨즈 박스에 배치된 퓨즈 중 단위 퓨즈 세트를 구성하기 위해 선택되어 한쪽 단부들이 서로 접속되는 퓨즈들의 최 외곽 퓨즈의 측부 마다 배치되며 각각의 최 외곽 퓨즈와 연결된 신호 연결용 퓨즈들과; 상기 신호 연결용 퓨즈와, 그 하부 또는 상부 퓨즈 박스 내에서 단위 퓨즈 세트를 구성하기 위해 선택된 퓨즈들과 연결하기 위해 배치되는 메탈 라인을 포함하여 이루어진 반도체 장치의 리페어 퓨즈 박스가 개시된다.

【대표도】

도 3

【색인어】

리페어 퓨즈 박스

【명세서】

【발명의 명칭】

반도체 장치의 리페어 퓨즈 박스{Repair fuse box in a semiconductor device}

【도면의 간단한 설명】

도 1 은 종래의 리페어 어드레스 발생 회로도이다.

도 2 는 본 발명에 따른 리페어 어드레스 발생 회로도이다.

도 3 은 본 발명에 따른 리페어 퓨즈 박스 회로의 레이 아웃도이다.

* 도면의 주요 부분에 대한 부호의 설명

A 및 B: 퓨즈 세트 R0 내지 R15: 퓨즈

R16 및 R17: 신호 연결용 퓨즈

20, 30 및 40: 퓨즈 박스

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 소자의 리페어 퓨즈 박스에 관한 것으로서, 특히 리페어 퓨즈 박스로부터의 신호선을 우회시키지 않고 인출할 수 있는 구조를 갖는 리페어 퓨즈 박스에 관한 것이다.

<9> 최근 반도체 장치는 미세화 기술이 발달함에 따라, 고속화 및 고집적화가 이루어지고 있다. 특히 반도체 메모리 장치에서는 고집적화 및 고수율화가 요구되고 있으며, 이에 대응하여

리던던시 회로를 설치하고, 결함 셀을 리페어함으로써 수율을 향상시키는 리던던시 기술이 필수적이다.

- <10> 에스램(SRAM), 디램(DRAM), 이퍼롬(EPROM) 등의 메모리에 있어서는, 공정 결함에 따른 반도체 장치의 수율 저하를 방지하기 위하여, 반도체 장치에 리던던시 회로를 설치한다. 이러한 리던던시 회로를 설치하여 결함 셀을 리페어함으로써 일부의 결함에도 불구하고 반도체 장치의 기능이 손상되지 않는다. 즉, 리던던시 회로로서 예비의 메모리 어레이를 형성해 두어, 본체 메모리 어레이에 결함이 있는 경우에 상기 예비의 메모리 어레이로 전환하여, 제조 수율의 저하를 제어한다.
- <11> 이러한 리던던시 회로는 리페어 어드레스 발생 회로를 포함한다. 종래의 리페어 어드레스 발생 회로는 도 1과 같이 이루어지는데 그 동작을 간단히 설명하면 다음과 같다.
- <12> 퓨즈 세트(A)는 다수의 퓨즈(R0 내지 R15)로 이루어진다.
- <13> 인에이블 신호(enable)가 하이 상태이면 PMOS트랜지스터(P1)가 턴오프되므로 출력(out)은 항상 로우 상태를 유지한다.
- <14> 인에이블 신호(enable)가 로우 상태이면 퓨즈 제어 신호(fuse<0:15>)와 퓨즈(R0 내지 R15)의 커팅 상태에 따라 출력(out)이 변화된다.
- <15> 예를 들어 퓨즈 제어 신호(fuse<0>)가 하이 상태이고 첫번째 퓨즈(R0)가 커팅되지 않았다면 NMOS트랜지스터(Q0)가 턴온된다. 그러므로 래치(10)의 출력이 하이 상태이므로 인버터(I1)의 출력은 로우 상태가 되어 출력(out)은 로우 상태가 된다. 그러나 퓨즈(R0)가 커팅되었다면 퓨즈 제어 신호(fuse<0>)가 하이 상태일지라도 출력(out)은 로우 상태가 된다.

<16> 이러한 리페어 어드레스 발생 회로를 형성하기 위해 퓨즈들을 퓨즈 박스 형태로 형성할 경우 퓨즈 박스 위로는 메탈 신호선(metal signal line)이 지나갈 수 없게 된다. 따라서 신호 라우팅(routing)을 위해서는 퓨즈 박스를 우회해야만 한다. 그로인하여 칩 사이즈가 증가하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서 본 발명은 상술한 단점을 해소할 수 있는 반도체 장치의 리페어 퓨즈 박스를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<18> 상술한 목적을 달성하기 위한 본 발명에 따른 반도체 장치의 리페어 퓨즈 박스는 행 방향으로 배치된 다수의 퓨즈로 이루어지며 종방향으로 배치된 다수의 퓨즈 박스와;

<19> 상기 다수의 퓨즈 박스 중 적어도 하나 이상의 퓨즈 박스에 배치된 퓨즈 중 단위 퓨즈 세트를 구성하기 위해 선택되어 한쪽 단부들이 서로 접속되는 퓨즈들의 최 외곽 퓨즈의 측부마다 배치되며 각각의 최 외곽 퓨즈와 연결된 신호 연결용 퓨즈들과;

<20> 상기 신호 연결용 퓨즈와, 그 하부 또는 상부 퓨즈 박스 내에서 단위 퓨즈 세트를 구성하기 위해 선택된 퓨즈들과 연결하기 위해 배치되는 메탈 라인을 포함하여 이루어진다.

<21> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

<22> 도 2 는 본 발명에 따른 리페어 어드레스 발생 회로도이다.

<23> 본 발명에 따른 리페어 어드레스 발생 회로에는 신호 연결용 퓨즈(R16 및 R17)가 추가되었다. 이러한 신호 연결용 퓨즈(R16 및 R17)는 신호를 전달하기 위한 전도체이면 어떤 종류의

물질을 사용해도 무방하며, 회로의 동작은 종래의 기술과 다르지 않다. 동작을 설명하기로 한다.

- <24> 퓨즈 세트(B)는 다수의 퓨즈(R0 내지 R15)와 신호 연결용 퓨즈(R16 및 R17)로 이루어진다.
- <25> 인에이블 신호(enable)가 하이 상태이면 PMOS트랜지스터(P1)가 턴오프되므로 출력(out)은 항상 로우 상태를 유지한다.
- <26> 인에이블 신호(enable)가 로우 상태이면 퓨즈 제어 신호(fuse<0:15>)와 퓨즈(R0 내지 R15)의 커팅 상태에 따라 출력(out)이 변화된다.
- <27> 예를 들어 퓨즈 제어 신호(fuse<0>)가 하이 상태이고 첫번째 퓨즈(R0)가 커팅되지 않았다면 NMOS트랜지스터(Q0)가 턴온된다. 그러므로 래치(10)의 출력이 하이 상태이므로 인버터(I1)의 출력은 로우 상태가 되어 출력(out)은 로우 상태가 된다. 그러나 퓨즈(R0)가 커팅되었다면 퓨즈 제어 신호(fuse<0>)가 하이 상태일지라도 출력(out)은 로우 상태가 된다.
- <28> 도 3 은 도 2와 같은 퓨즈 세트(B)의 퓨즈들이 어떻게 기판에 구현될 수 있는지를 보여주기 위한 본 발명에 따른 리페어 퓨즈 박스의 레이 아웃도이다.
- <29> 도 3에는 퓨즈 박스(20, 30 및 40)가 도시되어 있다. 도 2의 회로 구성을 위한 퓨즈 세트(B)의 구성을 설명하면 다음과 같다.
- <30> 퓨즈 박스(20)에는 퓨즈(R0 내지 R4)가 배치되고 퓨즈(R4)의 좌측에 신호 연결용 퓨즈(R16)가 배치된다. 퓨즈(R0 내지 R4)및 신호 연결용 퓨즈(R16)의 위쪽 단부는 메탈 등으로 서로 연결된다.

- <31> 같은 방법으로, 퓨즈 박스(30)에는 퓨즈(R5 내지 R9)가 배치되고 퓨즈(R9)의 좌측에 신호 연결용 퓨즈(R17)이 배치된다. 퓨즈(R5 내지 R9) 및 신호 연결용 퓨즈(R17)의 아래쪽 단부는 메탈 등으로 서로 연결된다.
- <32> 신호 연결용 퓨즈(R16 및 R17)는 메탈 라인(M)으로 콘택 공정등을 통해 연결된다.
- <33> 퓨즈 박스(40)에는 퓨즈(R10 내지 R15)가 배치된다. 퓨즈(R10 내지 R15)의 위쪽 단부는 메탈 등으로 서로 연결됨과 동시에 퓨즈 박스(30)와 연결된다.
- <34> 이렇게 하면 도 2에 도시된 퓨즈(R0 내지 R15)의 한쪽 노드들이 연결용 퓨즈(R16 및 R17)에 의해 전부 연결되게 된다.
- <35> 참고로, 퓨즈의 개방된 단자는 트랜지스터들이 연결되게 된다.
- <36> 신호 연결용 퓨즈(R16 및 R17)는 신호 연결용이므로 커팅 대상이 되지 않는다.
- <37> 상술한 바와 같이 퓨즈 박스를 구성하면 메탈 라인을 우회시키지 않고도 퓨즈를 연결할 수 있게 된다.

【발명의 효과】

- <38> 상술한 바와 같이 본 발명에 의하면 퓨즈를 이용하여 신호 라우팅을 구현할 수 있으므로 칩 사이즈를 현격히 줄일 수 있다.
- <39> 본 발명은 실시예를 중심으로 하여 설명되었으나 당 분야의 통상의 지식을 가진 자라면 이러한 실시예를 이용하여 다양한 형태의 변형 및 변경이 가능하므로 본 발명은 이러한 실시예에 한정되는 것이 아니라 다음의 특허 청구 범위에 의해 한정된다.

【특허청구범위】**【청구항 1】**

행 방향으로 배치된 다수의 퓨즈로 이루어지며 종방향으로 배치된 다수의 퓨즈 박스와;

상기 다수의 퓨즈 박스 중 적어도 하나 이상의 퓨즈 박스에 배치된 퓨즈 중 단위 퓨즈 세트를 구성하기 위해 선택되어 한쪽 단부들이 서로 접속되는 퓨즈들의 최 외곽 퓨즈의 측부마다 배치되며 각각의 최 외곽 퓨즈와 연결된 신호 연결용 퓨즈들과;

상기 신호 연결용 퓨즈와, 그 하부 또는 상부 퓨즈 박스 내에서 단위 퓨즈 세트를 구성하기 위해 선택된 퓨즈들과 연결하기 위해 배치되는 메탈 라인을 포함하여 이루어진 반도체 장치의 리페어 퓨즈 박스.

【청구항 2】

제 1 항에 있어서,

상기 신호 연결용 퓨즈는 리페어시에도 컷팅되지 않는 반도체 장치의 리페어퓨즈 박스.

【청구항 3】

제 1 항에 있어서,

상기 신호 연결용 퓨즈와 상기 최 외곽 퓨즈의 연결점이 리페어 어드레스 발생 회로의 인에이블 트랜지스터의 출력 단자에 연결되는 반도체 장치의 리페어 퓨즈 박스.

【청구항 4】

제 1 항에 있어서,

상기 신호 연결용 퓨즈와 그 하부 또는 상부의 퓨즈 박스 내의 퓨즈는 콘택 공정을 통해 연결되는 반도체 장치의 리페어 퓨즈 박스.



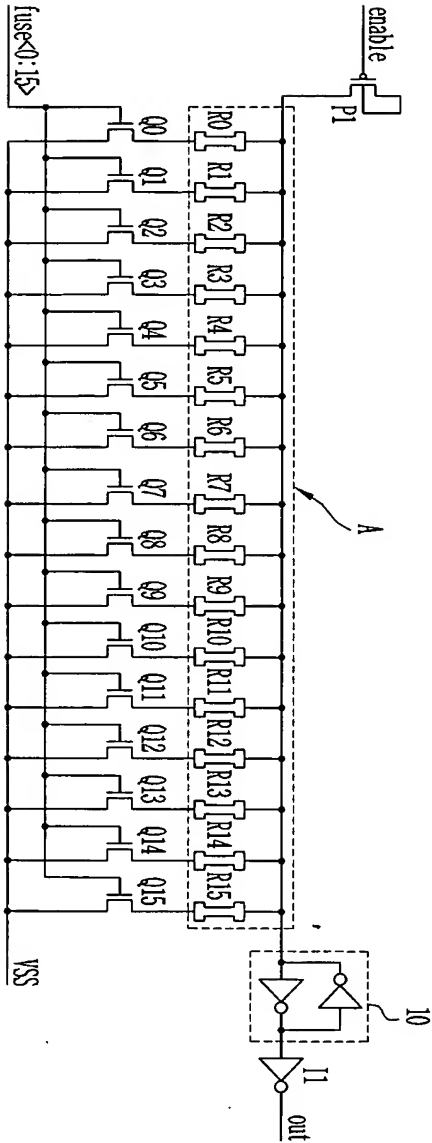
1020030080046

출력 일자: 2003/11/27

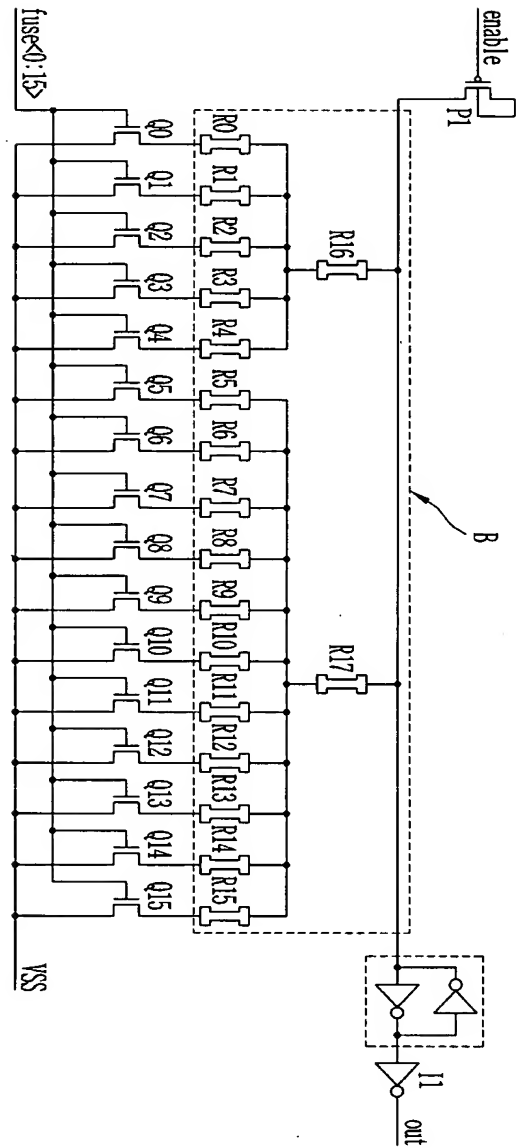


【도면】

【도 1】



【도 2】



【도 3】

